

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-156251

(43) Date of publication of application : 08.06.2001

(51) Int.CI.

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60

(21) Application number : 11-334190

(71) Applicant : MITSUBISHI ELECTRIC CORP

(22) Date of filing : 25.11.1999

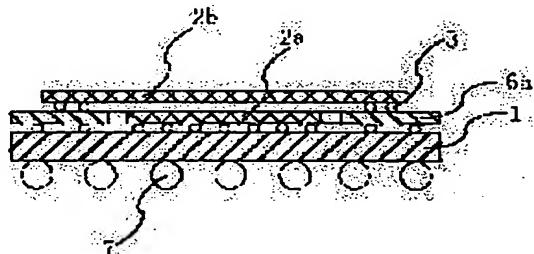
(72) Inventor : NISHIHARA TATSUTO  
YASUNAGA MASATOSHI

## (54) SEMICONDUCTOR DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device capable of being reduced in profile and including a plurality of semiconductor chips.

**SOLUTION:** A first semiconductor chip 2a and a first wiring board 6a are mounted on a circuit board 1, and a second semiconductor chip 2b is mounted through the board 6a.



1: 基板  
2a: 第1の半導体チップ  
2b: 第2の半導体チップ  
6a: 第1の配線基板

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156251

(P2001-156251A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.

H 01 L 25/065  
25/07  
25/18  
21/60

識別記号

3 1 1

F.I

H 01 L 21/60  
25/08

テーマコード(参考)

3 1 1 S 5 F 0 4 4  
B

審査請求 未請求 請求項の数6 OL (全5頁)

(21)出願番号

特願平11-334190

(22)出願日

平成11年11月25日(1999.11.25)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 西原 達人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 安永 雅敏

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外1名)

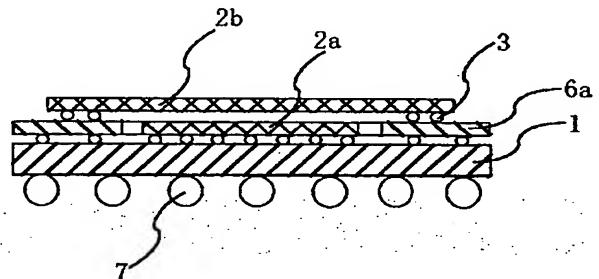
F ターム(参考) 5F044 KK08 RR01 RR08

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 外形寸法を小さくでき、かつ複数個の半導体チップを内包できる半導体装置を得る。

【解決手段】 配線基板1上に、第1の半導体チップ2aとこの第1の半導体チップ2aを囲む第1の引き回し基板6aを搭載し、またこの第1の引き回し基板6aを介して第2の半導体チップ2bを搭載した。



1:配線基板

2a:第1の半導体チップ

2b:第2の半導体チップ

6a:第1の引き回し基板

## 【特許請求の範囲】

【請求項1】 第1の半導体チップと、  
前記第1の半導体チップと接続された配線基板と、  
前記第1の半導体チップを避けるように穴を設け、前記配線基板上にフリップチップボンドされた第1の引き回し基板と、  
前記第1の引き回し基板上にフリップチップボンドされた第2の半導体チップとを備えたことを特徴とする半導体装置。

【請求項2】 第1の半導体チップと、  
前記第1の半導体チップと接続された配線基板と、  
前記第1の半導体チップの周囲に2個以上配置され、前記配線基板上にフリップチップボンドされた第2の引き回し基板と、  
前記第2の引き回し基板上にフリップチップボンドされた第2の半導体チップとを備えたことを特徴とする半導体装置。

【請求項3】 第1の半導体チップがフリップチップボンドにより配線基板と電気的に接続されていることを特徴とする、請求項1または請求項2に記載の半導体装置。

【請求項4】 第1の半導体チップが配線基板にダイボンドされ、ワイヤにより配線基板と電気的に接続されていることを特徴とする、請求項1または請求項2に記載の半導体装置。

【請求項5】 第1の半導体チップが配線基板にダイボンドされ、ワイヤにより第1の引き回し基板と接続されていることを特徴とする、請求項1に記載の半導体装置。

【請求項6】 第1の半導体チップが配線基板にダイボンドされ、ワイヤにより第2の引き回し基板と接続されていることを特徴とする、請求項2に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体装置のパッケージ構造で、外形寸法を小さくでき、かつ複数個の半導体チップを内包する半導体装置に関するものである。

## 【0002】

【従来の技術】 従来の半導体装置のパッケージ構造は、配線基板上に半導体チップをダイボンドし、半導体チップと配線基板をワイヤボンド接続してから半導体チップとワイヤをモールド樹脂で覆う構造である。

## 【0003】

【発明が解決しようとする課題】 上記のような従来のパッケージ構造では、複数個の半導体チップを内包せると、外形寸法が大きくなるという問題があった。

【0004】 この発明はかかる問題点を解決するためになされたものであり、本発明の目的は、外形寸法を小さくでき、かつ複数個の半導体チップを内包できる半導体

装置を提供することである。

## 【0005】

【課題を解決するための手段】 第1の発明にかかる半導体装置は、第1の半導体チップと、前記第1の半導体チップと接続された配線基板と、前記第1の半導体チップを避けるように穴を設け、前記配線基板上にフリップチップボンドされた第1の引き回し基板と、前記第1の引き回し基板上にフリップチップボンドされた第2の半導体チップとを備えたものである。

【0006】 また、第2の発明にかかる半導体装置は、第1の半導体チップと、前記第1の半導体チップと接続された配線基板と、前記第1の半導体チップの周囲に2個以上配置され、前記配線基板上にフリップチップボンドされた第2の引き回し基板と、前記第2の引き回し基板上にフリップチップボンドされた第2の半導体チップとを備えたものである。

【0007】 さらに、第3の発明にかかる半導体装置は、第1の半導体チップがフリップチップボンドにより配線基板と電気的に接続されているものである。

【0008】 また、第4の発明にかかる半導体装置は、第1の半導体チップが配線基板にダイボンドされ、ワイヤにより配線基板と電気的に接続されているものである。

【0009】 さらに、第5の発明にかかる半導体装置は、第1の半導体チップが配線基板にダイボンドされ、ワイヤにより第1の引き回し基板と接続されているものである。

【0010】 また、第6の発明にかかる半導体装置は、第1の半導体チップが配線基板にダイボンドされ、ワイヤにより第2の引き回し基板と接続されているものである。

## 【0011】

【発明の実施の形態】 以下、図1から図6を用いて、この発明の実施の形態について説明する。

【0012】 実施の形態1. まず、図1を用いて、この発明の実施の形態1について説明する。図1は、この発明の実施の形態1における半導体装置を示す断面図である。図1において、回路パターンを有する配線基板1に、その表面にバンプ3を配置した半導体チップ2aをフリップチップボンディングし、配線基板1の回路パターンと接続する。また、中央に半導体チップ2aより大きな穴を有するとともに回路パターンを有し、その表面にバンプ3を配置した第1の引き回し基板6aを、配線基板1に搭載した半導体チップ2aが第1の引き回し基板6aに設けた穴の中に入るようにフリップチップボンディングし、配線基板1の回路パターンと電気的に接続する。

【0013】 この後、第1の引き回し基板6aに、その表面にバンプ3を配置した第2の半導体チップ2bをフリップチップボンディングし、第1の引き回し基板6a

の回路パターンと接続する。この第2の半導体チップ2 bは、第1の引き回し基板6 aの回路パターンを介して配線基板1の回路パターンと電気的な接続を行う構造となっている。この後、配線基板1の裏面に外部接続を行う半田ボールなどの外部端子7を取り付ける。

【0014】以上説明したように、この実施の形態1における半導体装置によれば、配線基板1上に第1の半導体チップ2 aとこの第1の半導体チップ2 aを囲む第1の引き回し基板6 aを搭載し、またこの第1の引き回し基板6 aを介して第2の半導体チップ2 bを搭載することにより、例えば記憶容量の異なるメモリチップを同一のパッケージに内包することができ、容易に様々な記憶容量を持つ半導体装置を実現できる。これは、第1の引き回し基板6 aを用いたことにより、それぞれの半導体チップ2 a、2 bと配線基板1とを自由に接続できるからである。

【0015】また、上記実施の形態1では、第2の半導体チップ2 bを、第1の引き回し基板6 aの回路パターンを介して配線基板1の回路パターンと電気的な接続を行う場合について説明したが、第1の引き回し基板6 aの回路パターンを介して、半導体チップ2 aと半導体チップ2 bとを接続してもよく、上記実施の形態と同様な効果を奏する。

【0016】さらに、上記実施の形態1では、第1の引き回し基板6 aの内側に搭載される半導体チップが1個の場合について説明したが、第1の引き回し基板6 aの内側に搭載される半導体チップは複数個であっても良く、上記実施の形態と同様な効果を奏する。

【0017】また、上記実施の形態1では、半導体チップが2個の場合について説明したが、第1の引き回し基板6 aを更に搭載することにより内包させる半導体チップ数を増やしても良く、上記実施の形態と同様な効果を奏する。

【0018】実施の形態2、図2は、この発明の実施の形態2における半導体装置を示す断面図である。図2において、回路パターンを有する配線基板1に、第1の半導体チップ2 aを半田や樹脂などのダイボンド材4によりダイボンドし、第1の半導体チップ2 aの電極と、配線基板1の回路パターンとをワイヤ5により接続する。この後、上記実施の形態1と同様に、第1の引き回し基板6 aを配線基板1にフリップチップボンディングし、さらに第2の半導体チップ2 bを引き回し基板6 aにフリップチップボンディングし、接続する。

【0019】以上説明したように、この実施の形態2における半導体装置によれば、配線基板1上に第1の半導体チップ2 aとこの第1の半導体チップ2 aを囲む第1の引き回し基板6 aを搭載し、またこの第1の引き回し基板6 aを介して第2の半導体チップ2 bを搭載することにより、例えば記憶容量の異なるメモリチップを同一のパッケージに内包することができ、容易に様々な記憶

容量を持つ半導体装置を実現できる。これは、第1の引き回し基板6 aを用いたことにより、それぞれの半導体チップ2 a、2 bと配線基板1とを自由に接続できるからである。

【0020】また、上記実施の形態2では、第2の半導体チップ2 bを、第1の引き回し基板6 aの回路パターンを介して配線基板1の回路パターンと電気的な接続を行う場合について説明したが、第1の引き回し基板6 aの回路パターンを介して、半導体チップ2 aと半導体チップ2 bとを接続してもよく、上記実施の形態と同様な効果を奏する。

【0021】さらに、上記実施の形態2では、第1の引き回し基板6 aの内側に搭載される半導体チップが1個の場合について説明したが、第1の引き回し基板6 aの内側に搭載される半導体チップは複数個であっても良く、上記実施の形態と同様な効果を奏する。

【0022】また、上記実施の形態2では、半導体チップが2個の場合について説明したが、第1の引き回し基板6 aを更に搭載することにより内包させる半導体チップ数を増やしても良く、上記実施の形態と同様な効果を奏する。

【0023】実施の形態3、図3は、この発明の実施の形態3における半導体装置を示す断面図である。図3において、回路パターンを有する配線基板1に、第1の半導体チップ2 aを半田や樹脂などのダイボンド材4によりダイボンドする。また、中央に第1の半導体チップ2 aより大きな穴を有するとともに回路パターンを有し、その表面にパンプ3を配置した第1の引き回し基板6 aを、配線基板1に搭載した半導体チップ2 aが第1の引き回し基板6 aに設けた穴の中に入るようにフリップチップボンディングし、配線基板1の回路パターンと接続する。この後、半導体チップ2 aの電極と、引き回し基板6 aの回路パターンとをワイヤ5により接続し、上記実施の形態1と同様に、第2の半導体チップ2 bを引き回し基板6 aにフリップチップボンディングし、接続する。

【0024】以上説明したように、この実施の形態3における半導体装置によれば、配線基板1上に第1の半導体チップ2 aとこの第1の半導体チップ2 aを囲む第1の引き回し基板6 aを搭載し、またこの第1の引き回し基板6 aを介して第2の半導体チップ2 bを搭載することにより、例えば記憶容量の異なるメモリチップを同一のパッケージに内包することができ、容易に様々な記憶容量を持つ半導体装置を実現できる。これは、第1の引き回し基板6 aを用いたことにより、それぞれの半導体チップ2 a、2 bと配線基板1とを自由に接続できるからである。

【0025】また、上記実施の形態3では、第2の半導体チップ2 bを、第1の引き回し基板6 aの回路パターンを介して配線基板1の回路パターンと電気的な接続を

行う場合について説明したが、第1の引き回し基板6aの回路パターンを介して、半導体チップ2aと半導体チップ2bとを接続してもよく、上記実施の形態と同様な効果を奏する。

【0026】さらに、上記実施の形態3では、第1の引き回し基板6aの内側に搭載される半導体チップが1個の場合について説明したが、第1の引き回し基板6aの内側に搭載される半導体チップは複数個であっても良く、上記実施の形態と同様な効果を奏する。

【0027】また、上記実施の形態3では、半導体チップが2個の場合について説明したが、第1の引き回し基板6aを更に搭載することにより内包させる半導体チップ数を増やしても良く、上記実施の形態と同様な効果を奏する。

【0028】実施の形態4、図4は、この発明の実施の形態4における半導体装置を示す断面図である。上記実施の形態1では、中央に半導体チップ2aより大きな穴を有した第1の引き回し基板6aを用いたが、この実施の形態4では、それよりも寸法の小さい、長方形の第2の引き回し基板6bとし、第1の半導体チップ2aの周囲に2個以上配置した。その他の構成は、上記実施の形態1と同様である。この場合も、上記実施の形態1と同様の効果と利点がある。

【0029】実施の形態5、図5は、この発明の実施の形態5における半導体装置を示す断面図である。上記実施の形態2では、中央に半導体チップ2aより大きな穴を有した第1の引き回し基板6aを用いたが、この実施の形態5では、それよりも寸法の小さい、長方形の第2の引き回し基板6bとし、第1の半導体チップ2aの周囲に2個以上配置した。その他の構成は、上記実施の形態2と同様である。この場合も、上記実施の形態2と同様の効果と利点がある。

【0030】実施の形態6、図6は、この発明の実施の形態6における半導体装置を示す断面図である。上記実施の形態3では、中央に半導体チップ2aより大きな穴を有した第1の引き回し基板6aを用いたが、この実施

の形態6では、それよりも寸法の小さい、長方形の第2の引き回し基板6bとし、第1の半導体チップ2aの周囲に2個以上配置した。その他の構成は、上記実施の形態3と同様である。この場合も、上記実施の形態3と同様の効果と利点がある。

#### 【0031】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0032】第1、第2、第3、第4、第5および第6の発明によれば、配線基板上に第1の半導体チップと、この第1の半導体チップを囲む第1または第2の引き回し基板を搭載し、またこの第1または第2の引き回し基板を介して第2の半導体チップを搭載したので、例えば記憶容量の異なるメモリチップを同一のパッケージに内包することができ、容易に様々な記憶容量を持つ半導体装置を実現できる。

#### 【図面の簡単な説明】

【図1】この発明の実施の形態1における半導体装置を示す断面図である。

【図2】この発明の実施の形態2における半導体装置を示す断面図である。

【図3】この発明の実施の形態3における半導体装置を示す断面図である。

【図4】この発明の実施の形態4における半導体装置を示す断面図である。

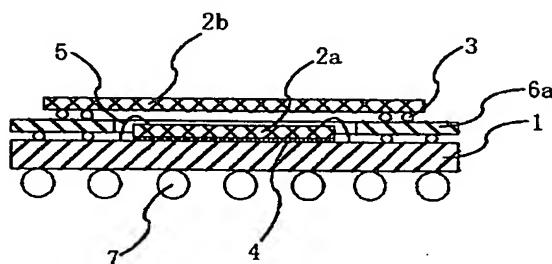
【図5】この発明の実施の形態5における半導体装置を示す断面図である。

【図6】この発明の実施の形態6における半導体装置を示す断面図である。

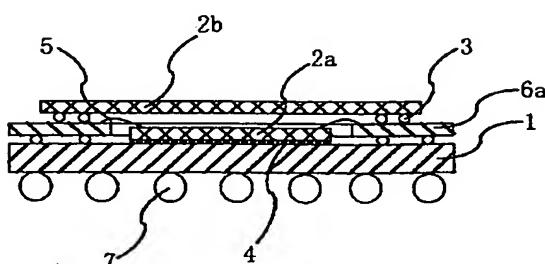
#### 【符号の説明】

- 1 配線基板
- 2a 第1の半導体チップ
- 2b 第2の半導体チップ
- 6a 第1の引き回し基板
- 6b 第2の引き回し基板

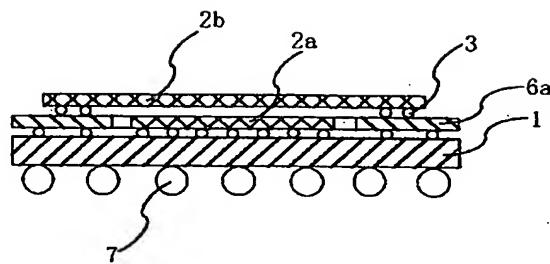
【図2】



【図3】

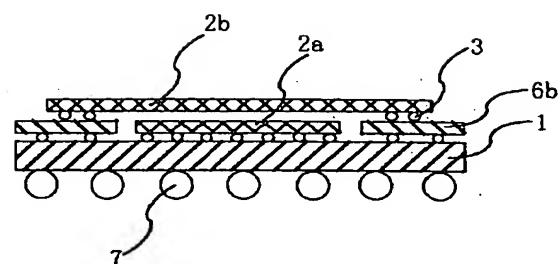


【図1】



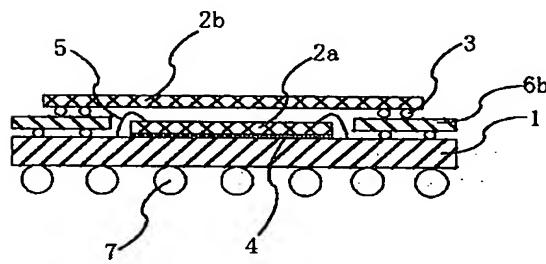
1:配線基板  
2a:第1の半導体チップ  
2b:第2の半導体チップ  
6a:第1の引き回し基板

【図4】



6b:第2の引き回し基板

【図5】



【図6】

